

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JC973 U.S. PTO  
09/849393  
  
05/07/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

2000年12月20日

出願番号  
Application Number:

特願2000-387709

出願人  
Applicant(s):

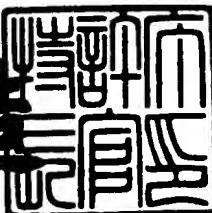
三菱電機株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 1月19日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3114492

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of  
the following application as filed with this Office.

Date of Application : December 20, 2000

Application Number : Japanese Patent Application No. 2000-387709

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 19th day of January, 2001

Commissioner,  
Patent Office Kozo OIKAWA

Certificate No. 2000-3114492

【書類名】 特許願  
【整理番号】 527327JP01  
【提出日】 平成12年12月20日  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 13/12  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 矢沢 弥亘  
【特許出願人】  
【識別番号】 000006013  
【氏名又は名称】 三菱電機株式会社  
【代理人】  
【識別番号】 100066474  
【弁理士】  
【氏名又は名称】 田澤 博昭  
【選任した代理人】  
【識別番号】 100088605  
【弁理士】  
【氏名又は名称】 加藤 公延  
【手数料の表示】  
【予納台帳番号】 020640  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理回路

【特許請求の範囲】

【請求項1】 伝送されてきた複数の種類のデータを一時的に蓄積し、蓄積したデータを種類ごとに一括して出力するデータ処理回路において、

複数の種類のデータを順番に蓄積する第1の記憶手段と、

前記第1の記憶手段に記憶された各データに対応してそのデータの種類の情報および同一種類のデータの連續性の情報を記憶する第2の記憶手段と、

前記第2の記憶手段に記憶された前記情報に基づいて同一種類の複数のデータを連続して前記第1の記憶手段から読み出す制御手段と、

前記制御手段により読み出されたデータを一括して出力する出力手段とを備えることを特徴とするデータ処理回路。

【請求項2】 制御手段は、第2の記憶手段に記憶されたデータの種類の情報および同一種類のデータの連續性の情報を、記憶された順番で読み出し、その後、そのデータの種類の情報および同一種類のデータの連續性の情報に基づいてその情報に対応するデータを第1の記憶手段から読み出す

ことを特徴とする請求項1記載のデータ処理回路。

【請求項3】 第1の記憶手段は、伝送されてきたデータから、廃棄するデータ種類を示すリセット情報が検出されると、そのリセット情報を順番に蓄積し、

第2の記憶手段は、そのリセット情報に対応して所定の値のリセットフラグを記憶し、

制御手段は、伝送されてきたデータからリセット情報が検出されると、そのリセット情報により指定された種類のデータの廃棄を開始し、前記第2の記憶手段からデータの種類および連續性の情報並びに前記リセットフラグを、記憶された順番で読み出すとともに、前記第1の記憶手段からデータおよびリセット情報を、記憶された順番で読み出し、前記第2の記憶手段から前記所定の値のリセットフラグを読み出した場合、それに同期して前記第1の記憶手段からリセット情報を読み出し、前記第1の記憶手段から読み出したリセット情報により指定されて

いる種類のデータの廃棄を終了する  
ことを特徴とする請求項1記載のデータ処理回路。

【請求項4】 第2の記憶手段は、伝送されてきたデータから、廃棄するデータ種類を示すリセット情報が検出されると、その廃棄するデータ種類と所定の値の開始フラグを順番に蓄積し、

制御手段は、伝送されてきたデータからリセット情報が検出されると、そのリセット情報により指定された種類のデータの廃棄を開始し、前記第2の記憶手段からデータの種類および連續性の情報並びに前記開始フラグを、記憶された順番で読み出し、前記第2の記憶手段から前記所定の値の開始フラグを読み出した場合、その開始フラグとともに読み出されたデータの種類の情報が示すデータの廃棄を終了する

ことを特徴とする請求項1記載のデータ処理回路。

【請求項5】 第1の記憶手段は、伝送されてきたデータからリセット情報が検出されると、そのリセット情報の一部を1ワードとして順番に従って蓄積し、

第2の記憶手段は、そのリセット情報の一部に対応して前記リセット情報におけるその一部の位置を示すリセットフラグIDを記憶し、

制御手段は、伝送されてきたデータからリセット情報が検出されると、そのリセット情報により指定された種類のデータの廃棄を開始し、前記第2の記憶手段からデータの種類および連續性の情報、前記リセットフラグ並びに前記リセットフラグIDを、記憶された順番で読み出すとともに、前記第1の記憶手段からデータおよびリセット情報を、記憶された順番で読み出し、前記第2の記憶手段から前記所定の値のリセットフラグを読み出した場合、それに同期して前記第1の記憶手段からリセット情報の一部を読み出し、前記第1の記憶手段から読み出したりセット情報の一部および前記リセットフラグIDにより指定されている種類のデータの廃棄を終了する

ことを特徴とする請求項3記載のデータ処理回路。

【請求項6】 第2の記憶手段は、第1の記憶手段において同一種類のデータが連續する場合、連續性の情報として、連續するデータ数を各データに対応し

て記憶し、

制御手段は、前記第2の記憶手段から前記データ数を読み出して、そのデータ数のデータを連續して前記第1の記憶手段から読み出すことを特徴とする請求項1記載のデータ処理回路。

【請求項7】 第2の記憶手段は、第1の記憶手段において同一種類のデータが連續する場合、連續性の情報として、連續するデータのうちの最後尾のデータに対応して1ビットの所定の値の停止情報を記憶し、

制御手段は、前記第1の記憶手段および前記第2の記憶手段からデータおよびそのデータに対応する停止情報を同期して読み出し、前記第2の記憶手段から前記所定の値の停止情報が出現するまで、前記第1の記憶手段からデータを連續して読み出す

ことを特徴とする請求項1記載のデータ処理回路。

【請求項8】 第1の記憶手段および第2の記憶手段は、FIFOであることを特徴とする請求項1記載のデータ処理回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

この発明は、伝送されてきた複数の種類のデータを一時的に蓄積し、蓄積したデータを種類ごとに出力するデータ処理回路に関するものである。

##### 【0002】

##### 【従来の技術】

放送や通信の分野では、映像や音声のデータやキューデータがパケット化され、それらのパケットが混合した状態で送信されてくる。受信側では、送信されてきたパケットを、一度外付けなどのメモリに記憶し、一定量のデータが蓄積された時点で一括してそのデータを処理するようにシステムを構築する事がある。

##### 【0003】

ここで受信側での外付けなどのメモリへのデータ転送には、アドレスの切り替えに起因するオーバーヘッドがあるため、1ワードごとに独立してデータ転送が実行されると、データ全体でのオーバーヘッドが大きくなる。そこで、可能な限

り連続したアドレスヘデータをまとめて転送することにより、データ全体でのオーバーヘッドを低減する。例えば、アドレス切り替えに10サイクルのオーバーヘッドがある場合、4ワードを独立に転送すると44 (= (10+1) × 4) サイクルが必要になるが、4ワードを一括して転送すると14 (= 10 + 1 × 4) サイクルで済む。

#### 【0004】

次にこのように受信したデータを一括してメモリに書き込むための従来のデータ処理回路について説明する。図8は従来のデータ処理回路の一例を示すブロック図である。図8において、101はキューデータ#0入力用のFIFO (First-In First-Out) であり、102はキューデータ#1入力用のFIFOであり、111はMPEG (Moving Picture Experts Group) 複合データ入力用のFIFOであり、112はMPEGビットストリーム入力用のFIFOであり、121は映像データ出力用のFIFOであり、122はグラフィックスデータ出力用のFIFOであり、123はMPEGヘッダ出力用のFIFOであり、124は音声データ出力用のFIFOである。

#### 【0005】

131はFIFO101を監視し、FIFO101への入力データをまとめて出力させるFIFO監視回路であり、132はFIFO102を監視し、FIFO102への入力データをまとめて出力させるFIFO監視回路であり、133はFIFO111を監視し、FIFO111への入力データをまとめて出力させるFIFO監視回路であり、134はFIFO112を監視し、FIFO112への入力データをまとめて出力させるFIFO監視回路である。141はFIFO121を監視し、FIFO121への入力データを出力させるFIFO監視回路であり、142はFIFO122を監視し、FIFO122への入力データを出力させるFIFO監視回路であり、143はFIFO123を監視し、FIFO123への入力データを出力させるFIFO監視回路であり、144はFIFO124を監視し、FIFO124への入力データを出力させるFIFO監視回路である。

#### 【0006】

161はFIFO101, 102, 111, 112からの一括されたデータをSDRAM163に書き込むとともに、SDRAM163から一括してデータを読み出し、FIFO121～124に供給する転送回路であり、162はFIFO監視回路131～134からSDRAM163へのデータ転送、およびSDRAM163からFIFO監視回路141～144へのデータ転送を制御する制御回路であり、163は受信された各種データや図示せぬ処理回路により処理された後の各種データを記憶するSDRAM (Synchronous Dynamic Random Access Memory) である。

## 【0007】

次に動作について説明する。

この従来のデータ処理回路では、MPEGビットストリームなどに受信ビットストリームに挿入されるキューデータ#0, #1が、その種類に応じたFIFO101, 102にそれぞれ供給され、その種類ごとにFIFO監視回路131, 132により管理される。そして、FIFO監視回路131, 132はFIFO101, 102の状態によって外付けSDRAMの書き込み／読み出し請求を行い、その要求を制御回路162が調整し、SDRAM163への書き込み、およびSDRAM163からの読み出しを実現する。

## 【0008】

## 【発明が解決しようとする課題】

従来のデータ処理回路は以上のように構成されているので、データの種類の数だけFIFOとFIFO監視回路を設ける必要があり、データの種類が多くなった場合、回路規模が大きくなり、コストも増加するなどの課題があった。

## 【0009】

近年、LSI (Large Scale Integrated circuit)の集積度が増加し、1つのLSIに、多くの処理を実行する回路を実装することが可能であり、その場合、そのLSIに入力されるデータの種類も増加する。したがって、その場合、従来のデータ処理回路では、FIFOとFIFO監視回路の部分の回路規模が増大してしまう。

## 【0010】

この発明は上記のような課題を解決するためになされたもので、複数の種類のデータを順番に蓄積する第1の記憶手段と、第1の記憶手段に記憶された各データに対応してそのデータの種類の情報および同一種類のデータの連續性の情報を記憶する第2の記憶手段と、第2の記憶手段に記憶された情報に基づいて同一種類の複数のデータを連続して第1の記憶手段から読み出す制御手段と、制御手段により読み出されたデータを一括して出力する出力手段とを備えるようにして、データの種類が多い場合の回路規模の増加を抑制するデータ処理回路を得ることを目的とする。

#### 【0011】

##### 【課題を解決するための手段】

この発明に係るデータ処理回路は、複数の種類のデータを順番に蓄積する第1の記憶手段と、第1の記憶手段に記憶された各データに対応してそのデータの種類の情報および同一種類のデータの連續性の情報を記憶する第2の記憶手段と、第2の記憶手段に記憶された情報に基づいて同一種類の複数のデータを連続して第1の記憶手段から読み出す制御手段と、制御手段により読み出されたデータを一括して出力する出力手段とを備えるものである。

#### 【0012】

この発明に係るデータ処理回路は、制御手段が、第2の記憶手段に記憶されたデータの種類の情報および同一種類のデータの連續性の情報を、記憶された順番で読み出し、その後、そのデータの種類の情報および同一種類のデータの連續性の情報に基づいてその情報に対応するデータを第1の記憶手段から読み出すようにしたものである。

#### 【0013】

この発明に係るデータ処理回路は、第1の記憶手段が、伝送されてきたデータから、廃棄するデータ種類を示すリセット情報が検出されると、そのリセット情報を順番に蓄積し、第2の記憶手段が、そのリセット情報に対応して所定の値のリセットフラグを記憶し、制御手段が、伝送されてきたデータからリセット情報が検出されると、そのリセット情報により指定された種類のデータの廃棄を開始し、第2の記憶手段からデータの種類および連續性の情報並びにリセットフラグ

を、記憶された順番で読み出すとともに、第1の記憶手段からデータおよびリセット情報を、記憶された順番で読み出し、第2の記憶手段から所定の値のリセットフラグを読み出した場合、それに同期して第1の記憶手段からリセット情報を読み出し、第1の記憶手段から読み出したリセット情報により指定されている種類のデータの廃棄を終了するようにしたものである。

#### 【0014】

この発明に係るデータ処理回路は、第2の記憶手段が、伝送されてきたデータから、廃棄するデータ種類を示すリセット情報が検出されると、その廃棄するデータ種類と所定の値の開始フラグを順番に蓄積し、制御手段が、伝送されてきたデータからリセット情報が検出されると、そのリセット情報により指定された種類のデータの廃棄を開始し、第2の記憶手段からデータの種類および連續性の情報並びに開始フラグを、記憶された順番で読み出し、第2の記憶手段から所定の値の開始フラグを読み出した場合、その開始フラグとともに読み出されたデータの種類の情報が示すデータの廃棄を終了するようにしたものである。

#### 【0015】

この発明に係るデータ処理回路は、第1の記憶手段が、伝送されてきたデータからリセット情報が検出されると、そのリセット情報の一部を1ワードとして順番に従って蓄積し、第2の記憶手段が、そのリセット情報の一部に対応してリセット情報におけるその一部の位置を示すリセットフラグIDを記憶し、制御手段が、伝送されてきたデータからリセット情報が検出されると、そのリセット情報により指定された種類のデータの廃棄を開始し、第2の記憶手段からデータの種類および連續性の情報、リセットフラグ並びにリセットフラグIDを、記憶された順番で読み出すとともに、第1の記憶手段からデータおよびリセット情報を、記憶された順番で読み出し、第2の記憶手段から所定の値のリセットフラグを読み出した場合、それに同期して第1の記憶手段からリセット情報の一部を読み出し、第1の記憶手段から読み出したリセット情報の一部およびリセットフラグIDにより指定されている種類のデータの廃棄を終了するようにしたものである。

#### 【0016】

この発明に係るデータ処理回路は、第2の記憶手段が、第1の記憶手段におい

て同一種類のデータが連續する場合、連續性の情報として、連續するデータ数を各データに対応して記憶し、制御手段が、第2の記憶手段からデータ数を読み出して、そのデータ数のデータを連續して第1の記憶手段から読み出すようにしたものである。

#### 【0017】

この発明に係るデータ処理回路は、第2の記憶手段が、第1の記憶手段において同一種類のデータが連續する場合、連續性の情報として、連續するデータのうちの最後尾のデータに対応して1ビットの所定の値の停止情報を記憶し、制御手段が、第1の記憶手段および第2の記憶手段からデータおよびそのデータに対応する停止情報を同期して読み出し、第2の記憶手段から所定の値の停止情報が出現するまで、第1の記憶手段からデータを連續して読み出すようにしたものである。

#### 【0018】

この発明に係るデータ処理回路は、第1の記憶手段および第2の記憶手段を FIFOとしたものである。

#### 【0019】

##### 【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

##### 実施の形態1.

図1はこの発明の実施の形態1によるデータ処理回路の構成を示すブロック図である。図1において、1は伝送されてくるビットストリームをキューデータL B DATA、伝送されてきたデータがキューデータであるか否かを示すバリッド信号D V L D、キューデータの種類を示すキューリセットQ I D、および、リセットするキューリセット情報をQ R S Tに分離するとともに、キューデータ伝送完了時にRAM2におけるデータのフラッシュ（払い出し）要求を示す信号L B Q F Lを出力するデータ分離部である。

#### 【0020】

2は、キューリセットごとに8ビットのキューデータを所定のワード数（今の場合、4ワード）だけ記憶可能な12個のRAM31-1～31-12を有し、8ビ

ットのキューデータL B D A T Aを96ビットのキューデータに変換するシリアル→パラレル変換メモリ部である。

#### 【0021】

3は、バリッド信号D V L D、キュー種類Q I D、信号L B Q F L、およびリセット情報Q R S T 1に基づいて、シリアル→パラレル変換メモリ部2およびFIFO 5、6を制御するFIFO/RAM書き制御部である。

#### 【0022】

なお、データ分離部1、シリアル→パラレル変換メモリ部2およびFIFO/RAM書き制御部3はフロントエンドプロセッサ部4 1を構成する。

#### 【0023】

4はシリアル→パラレル変換メモリ部2からのキューデータおよびFIFO/RAM書き制御部3からのリセット情報Q R S T 1のいずれかを選択するセレクタであり、5はキューデータやリセット情報などを記憶するFIFO（第1の記憶手段）であり、6は各キューデータやリセット情報に対応してキュー種類Q I D、リセットフラグ、カウント情報などを記憶するFIFO（第2の記憶手段）である。

#### 【0024】

7はFIFO 5からのキューデータを図示せぬSDRAMなどのメモリや後段の図示せぬ処理回路に出力するバックエンドプロセッサ部（出力手段）である。8はFIFO 5から出力されるキューデータの有効性およびそのキューデータについてのリセット情報を監視し、それに応じてバックエンドプロセッサ部7を制御する監視制御回路（制御手段）である。

#### 【0025】

監視制御回路8において、21はリセットフラグの値に応じてFIFO 5から出力されるリセット情報Q R S Tでリセット情報レジスタ部22の内容をクリアするリセット情報選択部であり、22はSRフリップフロップやJKフリップフロップなどでリセット情報Q R S Tを記憶するリセット情報レジスタ部であり、23はリセット情報レジスタ部22のリセット情報を参照して、FIFO 6から出力されたキュー種類Q I Dのキューデータの有効性（すなわち、リセット状態

であるか否か)を確認するデータ有効性確認部であり、24はFIFO5, 6にRE(リードイネーブル)信号を独立して供給するとともに、バックエンドプロセッサ部7を制御する制御部である。

#### 【0026】

次に動作について説明する。

図2は実施の形態1における監視制御回路の状態遷移図である。

#### 【0027】

データ分離部1は、ビットストリームに含まれているキューデータLB DATA A、バリッド信号DVL D、キュー種類QID、およびリセット情報QRSTを抽出し、キューデータをシリアル→パラレル変換メモリ部2に供給し、バリッド信号DVL Dおよびキュー種類QIDをFIFO/RAM書き込み制御部3に供給し、ビットストリーム中にデータの終了を示すビットを検出すると、信号LBQFLをFIFO/RAM書き込み制御部3に供給し、リセット情報QRSTを検出すると、そのリセット情報QRSTをFIFO/RAM書き込み制御部3および監視制御回路8に供給する。

#### 【0028】

なお、今の場合、キュー種類の数を32とすると、リセット情報QRSTのビット数は32であり、キュー種類QIDのビット数は5である。

#### 【0029】

FIFO/RAM書き込み制御部3は、8ビットのキューデータLB DATAを記憶させるRAM31-i(i=1, ..., 12)を順番に指定してWE信号をシリアル→パラレル変換メモリ部2に供給するとともに、キュー種類QIDに応じた記憶領域を指す書き込みアドレスをシリアル→パラレル変換メモリ部2に供給することで、キューデータLB DATAをいずれかのRAM31-iの、そのキュー種類QIDに対応する領域に書き込む。

#### 【0030】

例えば、キュー種類QID=0であるキューデータに対してRAM31-1~31-12のアドレス00~03が割り当てられ、キュー種類QID=1であるキューデータに対してRAM31-1~31-12のアドレス04~07が割り

当てられる。そして、キュー種類Q I D = 0である最初のキューデータは、RAM31-1のアドレス00に書き込まれ、キュー種類Q I D = 0である次のキューデータは、RAM31-2のアドレス00に書き込まれる。以下、順次、キュー種類Q I D = 0であるキューデータは、RAM31-3～31-12のアドレス00に書き込まれる。そしてキュー種類Q I D = 0である次のキューデータは、RAM31-1のアドレス01に書き込まれる。以下同様にして、キュー種類Q I D = 0であるキューデータが、RAM31-12のアドレス03まで書き込まれる。

#### 【0031】

そしてFIFO/RAM書込制御部3は、RAM31-1～31-12に、同一キュー種類Q I Dの4ワード分の96 (= 8 × 12) ビットのキューデータが蓄積されると、シリアル→パラレル変換メモリ部2に適宜RE信号および読出アドレスを供給して、その4ワード分のデータを出力させるとともに、各ワードに対するカウント情報およびそのワードのキュー種類Q I DをFIFO6に供給する。なお、カウント情報は、同一キュー種類のキューデータがあと何ワード連続するかを示すものであり、4ワード連続する場合、最初のワードについてのカウント情報は3であり、第2番目のワードについてのカウント情報は2であり、第3番目のワードについてのカウント情報は1であり、第4番目のワードについてのカウント情報は0である。

#### 【0032】

シリアル→パラレル変換メモリ部2から出力された4ワードのキューデータは、セレクタ4を介してFIFO5に供給される。

#### 【0033】

そして、FIFO/RAM書込制御部3は、ワード毎にWE信号をFIFO5, 6に供給する。これにより、FIFO5には、キューデータが1ワードずつ書き込まれ、FIFO6には、各ワードのキューデータに対応するキュー種類およびカウント情報が書き込まれる。

#### 【0034】

一方、信号LBQFLが供給されると、FIFO/RAM書込制御部3は、4

ワード分のキューデータが蓄積されていなくても、シリアル→パラレル変換メモリ部2にRE信号および読出アドレスを供給して、その時点で蓄積されているキューデータを出力させる。このときも同様にして、FIFO/RAM書き制御部3は、ワード毎に、そのワードのキュー種類QIDとカウント情報をFIFO6に供給する。例えば、48ビットのキューデータが書き込まれた時点で、LBQFLが供給されると、その48ビットのキューデータが、1ワードとして出力され、そのワードに対応するカウント情報は0とされる。

#### 【0035】

そして、FIFO/RAM書き制御部3がワード毎にWE信号をFIFO5, 6に供給することにより、FIFO5には、キューデータが書き込まれ、FIFO6には、そのキューデータに対応するキュー種類およびカウント情報が書き込まれる。

#### 【0036】

なお、FIFO5, 6は、WE信号が供給される度に記憶内容を1ワードずつシフトさせていき、先読み先出しの順番で記憶内容を出力する機能を備える。

#### 【0037】

一方、監視制御回路8は、図2に示すように、FIFO5にデータが存在するかどうかを監視し、FIFO5からの情報に応じて、バックエンドプロセッサ部7にFIFO5から読み出されたキューデータを出力し、図示せぬSDRAMに適宜書き込ませる。

#### 【0038】

このとき、制御部24がRE信号をFIFO6にまず供給してキューデータのキュー種類などを読み出す。データ有効性確認部23は、そのときのFIFO6から読み出されたキュー種類に対応するリセット情報をリセット情報レジスタ部22から読み出し、それに基づいてFIFO5の中に記憶されているキューデータの有効性を確認し、制御部24に通知する。制御部24は、FIFO6から読み出されたカウント情報およびデータ有効性確認部23からのデータの有効性の情報に基づいて、同一キュー種類の有効なキューデータが連続する場合、FIFO5からそのキューデータを連続して出力し、SDRAMに記憶させる。

## 【0039】

このようにして、複数の種類のキューデータが1つのFIFO5に一時的に蓄積され、 FIFO6に記憶された各キューデータに関する情報に応じて、同一種類の連続するキューデータが一括して出力され、図示せぬSDRAMに書き込まれる。

## 【0040】

次に、キュー種類ごとに、 FIFO5の内容をリセットする際の動作について説明する。なお、この実施の形態では、 FIFO5が複数種類のキューデータのために兼用されるので、通常のようにリセット信号を FIFO5に供給して記憶内容をリセットすると、 FIFO5に記憶されている複数種類のキューデータのすべてがリセットされてしまうため、後述のようにして、キュー種類ごとのキューデータのリセット（廃棄）を可能にするものである。図3は第17番目の種類のキューデータをリセットする場合のタイミングチャートである。

## 【0041】

所定のキュー種類のキューデータがリセットされる場合には、ビットストリームからデータ分離部1によりリセット情報QRSTが抽出され、 FIFO/RAM書込制御部3に供給される。リセット情報QRSTは、各キュー種類に対して1ビットを割り当てられ、リセットされるキュー種類に対応する1ビットの値が1に設定される。

## 【0042】

リセット情報QRSTが供給されると、 FIFO/RAM書込制御部3は、リセット情報のいずれかのビットの値が1である場合には、セレクタ4にそのリセット情報QRST1を供給するとともに、セレクタ4を制御して、そのリセット情報を FIFO5に供給させる。また、その場合、 FIFO/RAM書込制御部3は、値1のリセットフラグを FIFO6に供給する。なおこの時QID信号を参照しなくてもよい。このため任意の信号でよい事を示すため、図1では“N/C”と記載している。

## 【0043】

そして、 FIFO/RAM書込制御部3がWE信号を FIFO5, 6に供給す

ることにより、FIFO5には、リセット情報QRSTが書き込まれ、FIFO6には、そのリセット情報QRSTに対応して値1のリセットフラグが書き込まれる。

#### 【0044】

さらに、データ分離部1からのリセット情報QRSTは、監視制御回路8のリセット情報レジスタ部22にも記憶される。例えば、リセット情報レジスタ部22はそのリセット情報QRSTのビット数と同数（今の場合、32）のSRフリップフロップで構成され、それらのSRフリップフロップでリセット情報QRSTを保持する。

#### 【0045】

監視制御回路8のデータ有効性確認部23は、上述のように、リセット情報レジスタ部22に記憶されたリセット情報を参照して、FIFO6から読み出されたキュー種類QIDのキューデータを廃棄するか否かを判断する。制御部24は、そのキュー種類QIDのキューデータをリセットする場合には、FIFO5およびFIFO6を同期させてデータを空読みし、連続するそのキュー種類のキューデータを廃棄する。ただし、FIFO6からリセット情報を先行して読み出しているため、空読みの際には、FIFO6の空読みを1回少なくする。

#### 【0046】

FIFO6からのリセットフラグの値が1になると、リセット情報選択部21により、そのときのFIFO5の出力、すなわち先に記憶されたリセット情報に基づいて、リセット情報レジスタ部22の内容がリセットされ、リセット状態のキュー種類がリセット状態から復帰する。例えばリセット情報選択部21は一方の入力をリセットフラグとし、他方の入力をリセット情報のいずれかのビットとした32個のAND回路で構成され、リセットフラグの値が1である場合だけリセット情報がリセット情報選択部21を介してリセット情報レジスタ部22に供給される。

#### 【0047】

このとき、FIFO5からリセット情報選択部21を介してリセット情報レジスタ部22にリセット情報が供給されると、そのリセット情報はリセット情報レ

ジスタ部22に記憶されているリセット情報と同一であるので、リセット情報レジスタ部22の各SRフリップフロップの保持値がクリアされ、廃棄要求状態から解除され、元に戻る。例えば第1番目と第2番目のキュー種類がリセットされる場合、リセット情報QRSTがデータ分離部1からリセット情報レジスタ部22のSRフリップフロップに供給され、第1番目と第2番目のSRフリップフロップの保持値が1に設定される。その後、同一のリセット情報が FIFO5を通過してリセット情報レジスタ部22のSRフリップフロップに供給され、第1番目と第2番目のSRフリップフロップの保持値が元の0に設定される。なお、図3に、第17番目のキーデータがリセットされる場合の第17番目のキーデータについてのSRフリップフロップの保持値の変化を示す。

#### 【0048】

したがって、リセット情報が FIFO5を通過してくる期間だけ、リセット状態に設定されたキュー種類のキーデータが廃棄される。

#### 【0049】

以上のように、この実施の形態1によれば、FIFO5が複数の種類のキーデータを順番に蓄積し、FIFO6が、FIFO5に記憶された各キーデータに対応してキュー種類およびカウント情報を記憶し、監視制御回路8が、FIFO6に記憶されたそれらの情報に基づいて同一種類の複数のキーデータを連続してFIFO5から読み出し、バックエンドプロセッサ部7が、監視制御回路8により読み出されたキーデータを一括して出力するようにしたので、キーデータの種類が多い場合でも一定の回路規模で、効率良くメモリにキーデータを書き込むことができるという効果が得られる。

#### 【0050】

また、この実施の形態1によれば、監視制御回路8が、FIFO6に記憶されたキュー種類QIDを、記憶された順番に読み出し、その後、そのキュー種類QIDに基づいてその情報に対応するキーデータをFIFO5から読み出すようにしたので、FIFO6から先に読み出した情報に基づいてFIFO5に記憶されたキーデータをどのように処理するかを決定することができ、FIFO5およびFIFO6から同時にデータを読み出した場合に処理の決定までFIFO5

からのデータを記憶するための記憶手段を設ける必要がなく、回路規模を低減することができるという効果が得られる。

#### 【0051】

さらに、この実施の形態1によれば、リセット情報が検出されると、FIFO5がそのリセット情報を蓄積し、FIFO6がそのリセット情報に対応して所定の値のリセットフラグを記憶し、監視制御回路8が、リセット情報検出時にそのリセット情報により指定されたキュー種類のデータの廃棄を開始し、FIFO6から所定の値のリセットフラグを読み出した場合、それに同期してFIFO5からリセット情報を読み出し、FIFO5から読み出したリセット情報により指定されているキュー種類のデータの廃棄を終了するようにしたので、簡単な処理で特定のキュー種類についてリセットを実行することができるという効果が得られる。

#### 【0052】

さらに、この実施の形態1によれば、FIFO6が、FIFO5において同一種類のキューデータが連続する場合、連続性の情報として、連続するデータ数（カウント情報）を各キューデータに対応して記憶し、監視制御回路8がFIFO5からそのデータ数を読み出して、そのデータ数のデータを連続してFIFO5から読み出すようにしたので、連続して読み出すワード数を把握することができ、処理を最適化しやすくなるという効果が得られる。

#### 【0053】

実施の形態2.

この発明の実施の形態2によるデータ処理回路は、リセット情報をFIFO5に書き込みます、廃棄を指定されたキュー種類について開始フラグがFIFO6から出力されるまでリセット状態を継続させるようにしたものである。図4はこの発明の実施の形態2によるデータ処理回路の構成を示すブロック図である。図4において、3Aは、FIFO/RAM書き制御部3と同様に動作するが、リセットフラグに代わりに開始フラグをFIFO6に供給するFIFO/RAM書き制御部であり、61はFIFO6から所定の値の開始フラグが出力されると、そのときにFIFO6から出力されるキュー種類QIDに対応するビットだけ所定の

値としたリセット情報と同ビット数（今の場合、32ビット）のリセット信号をリセット情報選択部21に供給するリセット信号生成部である。

## 【0054】

なお、図4におけるその他の構成要素については実施の形態1によるものと同様であるので、その説明を省略する。ただし、この実施の形態2では、リセットされるキュー種類が開始フラグとともにFIFO6に書き込まれる。図4に示す場合では、第2番目のキュー種類がリセットされている。

## 【0055】

次に動作について説明する。

図5は実施の形態2における監視制御回路の状態遷移図である。

## 【0056】

キューデータのリセットの際の動作以外のこの実施の形態2によるデータ処理回路の動作については実施の形態1によるものと同様であるので、その説明を省略する。

## 【0057】

特定のキューデータを廃棄する際、まず、リセット情報QRSTがリセット情報レジスタ部22に保持されるとともに、値1の開始フラグおよびリセットされるキュー種類がFIFO6に書き込まれる。

## 【0058】

その後、監視制御回路8により、値1の開始フラグがFIFO6から読み出されると、リセット信号生成部61は、そのときにFIFO6から読み出されたキュー種類QIDに対応するビットの値を1とした32ビットのリセット信号をリセット情報選択部21に供給する。そして、開始フラグの値が1であるため、そのリセット信号はリセット情報選択部21を介してリセット情報レジスタ部22に供給され、リセット情報レジスタ部22の内容が更新されてそのキュー種類が廃棄状態から復帰する。

## 【0059】

なお、実施の形態2は実施の形態1を改変したものであるが、同様に他の実施の形態を改変してもよい。

## 【0060】

以上のように、この実施の形態2によれば、リセット情報が検出されると、FIFO6がそのリセット情報により指定された廃棄するキュー種類QIDと所定の値の開始フラグを蓄積し、監視制御回路8が、リセット情報検出時にそのリセット情報により指定されたキュー種類のキーデータの廃棄を開始し、FIFO5から所定の値の開始フラグを読み出した場合、その開始フラグとともに読み出されたキュー種類QIDが示すキーデータの廃棄を終了するようにしたので、FIFO5にリセット情報を書き込まなくて済み、リセット情報とキーデータとを選択する手段（セレクタ4）が必要なくなり、回路規模を小さくすることができるとともに、その手段に起因する処理の遅延を抑制することができるという効果が得られる。

## 【0061】

実施の形態3.

この発明の実施の形態3によるデータ処理回路は、リセット情報の所定の一部を1ワードとして FIFO5に書き込み、FIFO5から出力されるそのリセット情報の一部の位置をリセットフラグIDの値に基づいて判断し、そのリセット情報に基づいて、FIFO5の1ワードのビット数よりキュー種類の数が多い場合にも、リセット状態のキュー種類をリセット状態から復帰させるようにしたものである。

## 【0062】

図6はこの発明の実施の形態3によるデータ処理回路の構成を示すブロック図である。図6において、2Aは2つのRAM31-1, 31-2を有し、8ビットのキーデータLB DATAを16ビットのキーデータとして出力するシリアル→パラレル変換メモリ部である。

## 【0063】

3Bは、FIFO/RAM書き制御部3と同様に動作するが、リセット情報QRSTに基づいて、リセット時のリセット状態になるキュー種類に応じて、FIFO5Aに書き込まれるリセット情報の一部がそのリセット情報のうちの上位半分のビットであるか下位半分のビットであるかを示すリセットフラグIDをFI

F O 6 Aに供給し、また、そのリセットフラグ I Dの値に応じて、リセット情報 Q R S Tの上位半分のビットまたは下位半分のビットをセレクタ4に供給する F I F O / R A M 書込制御部である。

#### 【0064】

5 Aはキュー種類数（今の場合、32）より1ワードのビット数（今の場合、16）が少ないF I F O（第1の記憶手段）であり、6 Aはキュー種類Q I D、リセットフラグI D、リセットフラグおよびカウント情報を1ワードとして保持するF I F O（第2の記憶手段）である。

#### 【0065】

21 Aは、リセットフラグの値が所定の値である場合に、リセットフラグI Dの値に応じて、F I F O 5 Aから出力される上位半分または下位半分のビットのリセット情報から、残りのビットの値を0として、元のリセット情報Q R S Tと同一ビット数のリセット信号を生成して、そのリセット信号でリセット情報レジスタ部22の内容をリセットするリセット情報選択部である。

#### 【0066】

なお、図6におけるその他の構成要素については実施の形態1によるものと同様であるので、その説明を省略する。

#### 【0067】

次に動作について説明する。

この実施の形態3では、一例としてキュー種類が32であり、F I F O 5 Aの1ワードが16ビットである場合について説明する。

#### 【0068】

シリアル→パラレル変換メモリ部2 Aは、シリアル→パラレル変換メモリ部2と同様な順番で、8ビットのキューデータL B D A T Aを2つのR A M 3 1 - 1 , 3 1 - 2に蓄積し、4ワード分だけ16ビットのキューデータを出力する。セレクタ4は、いずれのキュー種類も廃棄されない場合には、この16ビットのキューデータをF I F O 5 Aに供給する。

#### 【0069】

そして、実施の形態1と同様にして、F I F O 5 Aにキューデータが書き込ま

るとともに、FIFO6Aにキュー種類QID、リセットフラグID、値0のリセットフラグおよびカウント情報が書き込まれる。なお、キューデータがFIFO5Aに書き込まれる場合には、リセットフラグIDの値はいずれの値でもよい。

#### 【0070】

そして監視制御回路8は、実施の形態1の場合と同様にバックエンドプロセッサ部7を制御して、リセット情報レジスタ部22のリセット情報およびFIFO6Aからのキュー種類QIDに応じて、FIFO5Aから出力される有効なキューデータを出力し、図示せぬSDRAMに書き込ませる。

#### 【0071】

このようにキューデータを出力し、SDRAMに書き込む動作については実施の形態1とほぼ同様に動作する。

#### 【0072】

次に、キュー種類ごとに、FIFO5Aの内容をリセットする際の動作について説明する。

#### 【0073】

いずれかのキュー種類のキューデータが廃棄される場合、いずれかのビットの値が1であるリセット情報QRSTがデータ分離部1からリセット情報レジスタ部22およびFIFO/RAM書き制御部3Bに供給される。

#### 【0074】

FIFO/RAM書き制御部3Bは、32ビットのリセット情報QRSTにより指定される廃棄状態になるキュー種類に応じてリセットフラグIDの値を設定し、リセットフラグIDをFIFO6Aに供給する。

#### 【0075】

このリセットフラグIDは、FIFO5Aに書き込まれるリセット情報の一部がそのリセット情報のうちの上位半分のビットであるか下位半分のビットであるかを示す。すなわち、今の場合、廃棄状態になる1または複数のキュー種類が第1～第16のいずれかのキュー種類である場合には、リセットフラグIDの値が0に設定され、廃棄状態になる1または複数のキュー種類が第17～第32のい

すれかのキュー種類である場合には、リセットフラグIDの値が1に設定される。

#### 【0076】

そして、FIFO/RAM書き制御部3Bは、リセットフラグIDの値が0である場合には、32ビットのリセット情報のうちの下位16ビットを選択し、リセットフラグIDの値が1である場合には、上位16ビットを選択する。選択された16ビットのデータは、セレクタ4を介してFIFO5Aに書き込まれる。

#### 【0077】

これに同期して、そのリセットフラグIDおよび値1のリセットフラグがFIFO6Aに書き込まれる。

#### 【0078】

その後、監視制御回路8により、FIFO6Aから値1のリセットフラグが読み出されると、リセット情報選択部21Aは、それと同時に出力されたリセットフラグIDの値に応じて、FIFO5Aから出力される16ビットのリセット情報から32ビットのリセット信号を生成する。

#### 【0079】

このとき、リセットフラグIDの値が0である場合には、FIFO5Aからの16ビットのリセット情報を下位16ビットの値とし、上位16ビットの値をすべて0として32ビットのリセット信号が生成される。一方、リセットフラグIDの値が1である場合には、FIFO5Aからの16ビットのリセット情報を上位16ビットの値とし、下位16ビットの値をすべて0として32ビットのリセット信号が生成される。

#### 【0080】

そしてリセット情報選択部21Aからの32ビットのデータによりリセット情報レジスタ部22の保持値がクリアされ、廃棄状態にあったキュー種類が廃棄状態から復帰する。

#### 【0081】

なお、廃棄状態にするキュー種類が、リセット情報の上位16ビットおよび下位16ビットの両方に存在する場合、図6に示すように、上位16ビットと下位

16ビットとに2回に分けてリセット情報を書き込むようにすればよい。

#### 【0082】

また、この実施の形態3では、元のリセット情報を上位半分のビットと下位半分のビットとに分けているが、他の分け方で元のリセット情報を分けるようにしてもよい。例えば、予め関連のあるキュー種類同士をまとめるようにして元のリセット情報を分けるようにしてもよい。

#### 【0083】

なお、実施の形態3は実施の形態1を改変したものであるが、同様に他の実施の形態を改変してもよい。

#### 【0084】

以上のように、この実施の形態3によれば、リセット情報が検出されると、FIFO5Aがそのリセット情報の一部を1ワードとして順番に蓄積し、FIFO6Aが、そのリセット情報の一部に対応してリセット情報におけるその一部の位置を示すリセットフラグIDを記憶し、監視制御回路8が、リセット情報検出時にそのリセット情報により指定された種類のデータの廃棄を開始し、FIFO6Aから所定の値のリセットフラグを読み出した場合、それに同期してFIFO5Aからリセット情報の一部を読み出し、そのリセット情報の一部およびリセットフラグIDにより指定されている種類のデータの廃棄を終了するようにしたので、FIFO5Aの1ワードのビット数がキューデータの種類数より小さい場合にも、同様に、キューデータの種類が多い場合でも一定の回路規模で、効率良くメモリにキューデータを書き込むことができるという効果が得られる。

#### 【0085】

実施の形態4。

この発明の実施の形態4によるデータ処理回路は、カウント情報の代わりに、連続する同一キュー種類の最後のキューデータの場合のみ異なる値を示す1ビットの停止情報をFIFO6Bに書き込むようにし、その停止情報に基づいて同一キュー種類の最後尾を判断するようにしたものである。

#### 【0086】

図7はこの発明の実施の形態4によるデータ処理回路の構成を示すブロック図

である。図7において、3Cは、FIFO/RAM書き込み制御部3と同様に動作するが、同一キュー種類のキューデータが連続する場合に、データの連續性の情報として、その最後尾のキューデータ以外の連続するキューデータに同期して値0の、また、その最後尾のキューデータに同期して値1の停止情報をFIFO6Bに供給するFIFO/RAM書き込み制御部である。

## 【0087】

24Aは制御部24と同様に動作し、停止情報の値が1になるまで、同一キュー種類のキューデータをFIFO5から連続して出力させ、図示せぬSDRAMに転送させる制御部である。6Bはキュー種類QID、リセットフラグ、停止情報などを記憶するFIFO（第2の記憶手段）である。

## 【0088】

なお、図7におけるその他の構成要素については実施の形態1によるものと同様であるので、その説明を省略する。

## 【0089】

次に動作について説明する。

FIFO/RAM書き込み制御部3Cは、FIFO5に書き込まれる同一キュー種類のキューデータが連続する場合に、その最後尾のキューデータ以外の連続するキューデータに同期して値0の、また、その最後尾のキューデータに同期して値1の停止情報をFIFO6Bに供給する。そしてこの停止情報がキュー種類およびリセットフラグとともに書き込まれる。なお、同一キュー種類のキューデータが連続しない場合には、値1の停止情報が書き込まれる。

## 【0090】

そして、監視制御回路8の制御部24Aは、FIFO5からの同一種類のキューデータを一括して出力させる際に、停止情報の値が1になるまで、バックエンドプロセッサ部7を制御して、連続してFIFO5からキューデータを読み出し、バックエンドプロセッサ部7に出力させ、SDRAMへ書き込ませる。

## 【0091】

なお、その他の動作については実施の形態1によるものと同様であるので、その説明を省略する。また、実施の形態4は実施の形態1を改変したものであるが

、同様に他の実施の形態を改変してもよい。

#### 【0092】

以上のように、この実施の形態4によれば、FIFO5において同一種類のデータが連續する場合、FIFO6Bが、連續性の情報として、連續するキーデータのうちの最後尾のキーデータに対応して1ビットの所定の値の停止情報を記憶し、監視制御回路8が、FIFO5およびFIFO6Bからキーデータおよびそのキーデータに対応する停止情報を同期して読み出し、FIFO6Bから所定の値の停止情報が出現するまで、FIFO5からキーデータを連續して読み出すようにしたので、FIFO6Bの各ワードのビット数を1だけ増加するだけで、連續して読み出すキーデータを簡単に把握することができ、処理を最適化しやすくなるという効果が得られる。

#### 【0093】

なお、上記実施の形態1～4における各部の回路については上記のものに限定されるものではなく、同等のものを使用することができる。また、キー種類の数、FIFO5, 5A, 6, 6A, 6Bのワード数および1ワードのビット数なども、上記のものに限定されるものではない。

#### 【0094】

##### 【発明の効果】

以上のように、この発明によれば、複数の種類のデータを順番に蓄積する第1の記憶手段と、第1の記憶手段に記憶された各データに対応してそのデータの種類の情報および同一種類のデータの連續性の情報を記憶する第2の記憶手段と、第2の記憶手段に記憶された情報に基づいて同一種類の複数のデータを連續して第1の記憶手段から読み出す制御手段と、制御手段により読み出されたデータを一括して出力する出力手段とを備えるようにしたので、データの種類が多い場合でも一定の回路規模で、効率良くメモリにデータを書き込むことができるという効果がある。

#### 【0095】

この発明によれば、制御手段が、第2の記憶手段に記憶されたデータの種類の情報および同一種類のデータの連續性の情報を、記憶された順番で読み出し、そ

の後、そのデータの種類の情報および同一種類のデータの連続性の情報に基づいてその情報に対応するデータを第1の記憶手段から読み出すようにしたので、第1の記憶手段および第2の記憶手段から同時にデータを読み出した場合に処理の決定まで第1の記憶手段からのデータを記憶するための記憶手段を設ける必要がなく、回路規模を低減することができるという効果がある。

## 【0096】

この発明によれば、第1の記憶手段が、伝送されてきたデータから、廃棄するデータ種類を示すリセット情報が検出されると、そのリセット情報を順番に蓄積し、第2の記憶手段が、そのリセット情報に対応して所定の値のリセットフラグを記憶し、制御手段が、伝送されてきたデータからリセット情報が検出されると、そのリセット情報により指定された種類のデータの廃棄を開始し、第2の記憶手段からデータの種類および連続性の情報並びにリセットフラグを、記憶された順番で読み出すとともに、第1の記憶手段からデータおよびリセット情報を、記憶された順番で読み出し、第2の記憶手段から所定の値のリセットフラグを読み出した場合、それに同期して第1の記憶手段からリセット情報を読み出し、第1の記憶手段から読み出したリセット情報により指定されている種類のデータの廃棄を終了するようにしたので、簡単な処理で特定のデータ種類についてリセットを実行することができるという効果がある。

## 【0097】

この発明によれば、第2の記憶手段が、伝送されてきたデータから、廃棄するデータ種類を示すリセット情報が検出されると、その廃棄するデータ種類と所定の値の開始フラグを順番に蓄積し、制御手段が、伝送されてきたデータからリセット情報が検出されると、そのリセット情報により指定された種類のデータの廃棄を開始し、第2の記憶手段からデータの種類および連続性の情報並びに開始フラグを、記憶された順番で読み出し、第2の記憶手段から所定の値の開始フラグを読み出した場合、その開始フラグとともに読み出されたデータの種類の情報が示すデータの廃棄を終了するようにしたので、第1の記憶手段にリセット情報を書き込まなくて済み、リセット情報とデータとを選択する手段が必要なくなり、回路規模を小さくすることができるとともに、その手段に起因する処理の遅延を

抑制することができるという効果がある。

#### 【0098】

この発明によれば、第1の記憶手段が、伝送されてきたデータからリセット情報が検出されると、そのリセット情報の一部を1ワードとして順番に従って蓄積し、第2の記憶手段が、そのリセット情報の一部に対応してリセット情報におけるその一部の位置を示すリセットフラグIDを記憶し、制御手段が、伝送されてきたデータからリセット情報が検出されると、そのリセット情報により指定された種類のデータの廃棄を開始し、第2の記憶手段からデータの種類および連續性の情報、リセットフラグ並びにリセットフラグIDを、記憶された順番で読み出すとともに、第1の記憶手段からデータおよびリセット情報を、記憶された順番で読み出し、第2の記憶手段から所定の値のリセットフラグを読み出した場合、それに同期して第1の記憶手段からリセット情報の一部を読み出し、第1の記憶手段から読み出したリセット情報の一部およびリセットフラグIDにより指定されている種類のデータの廃棄を終了するようにしたので、第1の記憶手段の1ワードのビット数がデータの種類数より小さい場合にも、同様に、データの種類が多い場合でも一定の回路規模で、効率良くメモリにデータを書き込むことができるという効果がある。

#### 【0099】

この発明によれば、第2の記憶手段が、第1の記憶手段において同一種類のデータが連續する場合、連續性の情報として、連續するデータ数を各データに対応して記憶し、制御手段が、第2の記憶手段からデータ数を読み出して、そのデータ数のデータを連續して第1の記憶手段から読み出すようにしたので、連續して読み出すワード数を把握することができ、処理を最適化しやすくなるという効果がある。

#### 【0100】

この発明によれば、第2の記憶手段が、第1の記憶手段において同一種類のデータが連續する場合、連續性の情報として、連續するデータのうちの最後尾のデータに対応して1ビットの所定の値の停止情報を記憶し、制御手段が、第1の記憶手段および第2の記憶手段からデータおよびそのデータに対応する停止情報を

同期して読み出し、第2の記憶手段から所定の値の停止情報が出現するまで、第1の記憶手段からデータを連續して読み出すようにしたので、第2の記憶手段の各ワードのビット数を1だけ増加するだけで、連續して読み出すキーデータを簡単に把握することができ、処理を最適化しやすくなるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるデータ処理回路の構成を示すブロック図である。

【図2】 実施の形態1における監視制御回路の状態遷移図である。

【図3】 第17番目の種類のキーデータをリセットする場合のタイミングチャートである。

【図4】 この発明の実施の形態2によるデータ処理回路の構成を示すブロック図である。

【図5】 実施の形態2における監視制御回路の状態遷移図である。

【図6】 この発明の実施の形態3によるデータ処理回路の構成を示すブロック図である。

【図7】 この発明の実施の形態4によるデータ処理回路の構成を示すブロック図である。

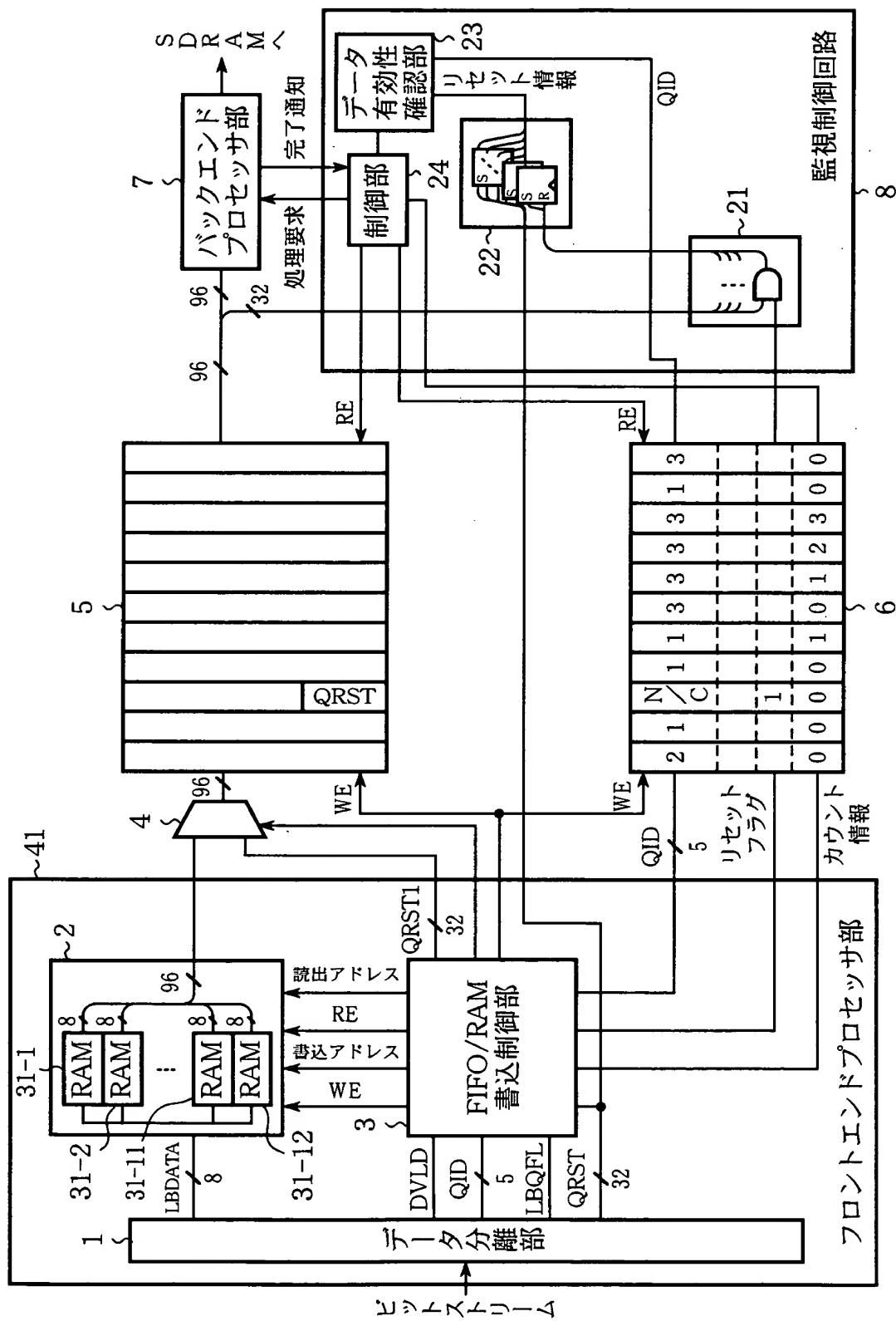
【図8】 従来のデータ処理回路の一例を示すブロック図である。

【符号の説明】

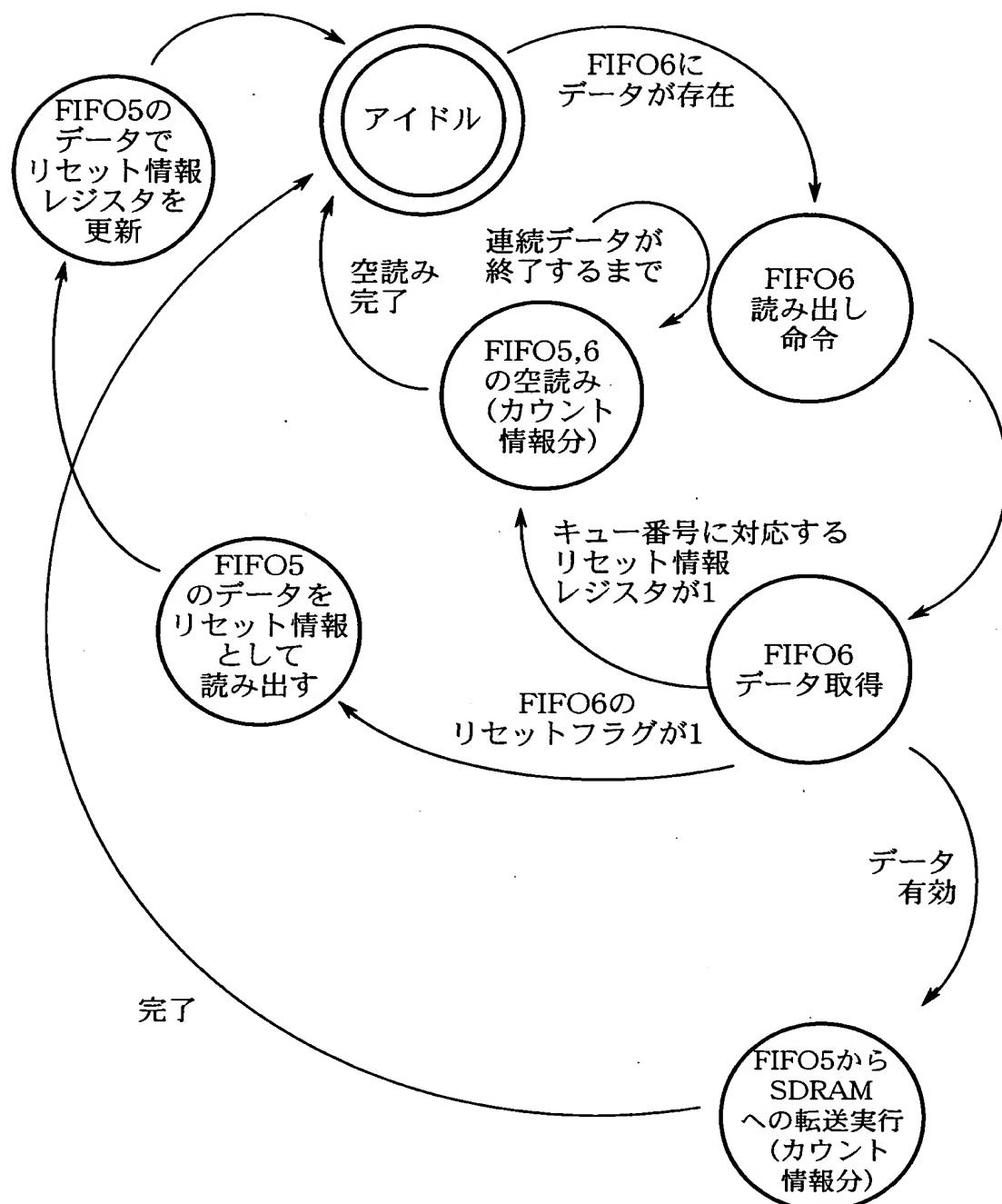
5, 5A FIFO (第1の記憶手段)、6, 6A, 6B FIFO (第2の記憶手段)、7 バックエンドプロセッサ部 (出力手段)、8 監視制御回路 (制御手段)。

【書類名】 図面

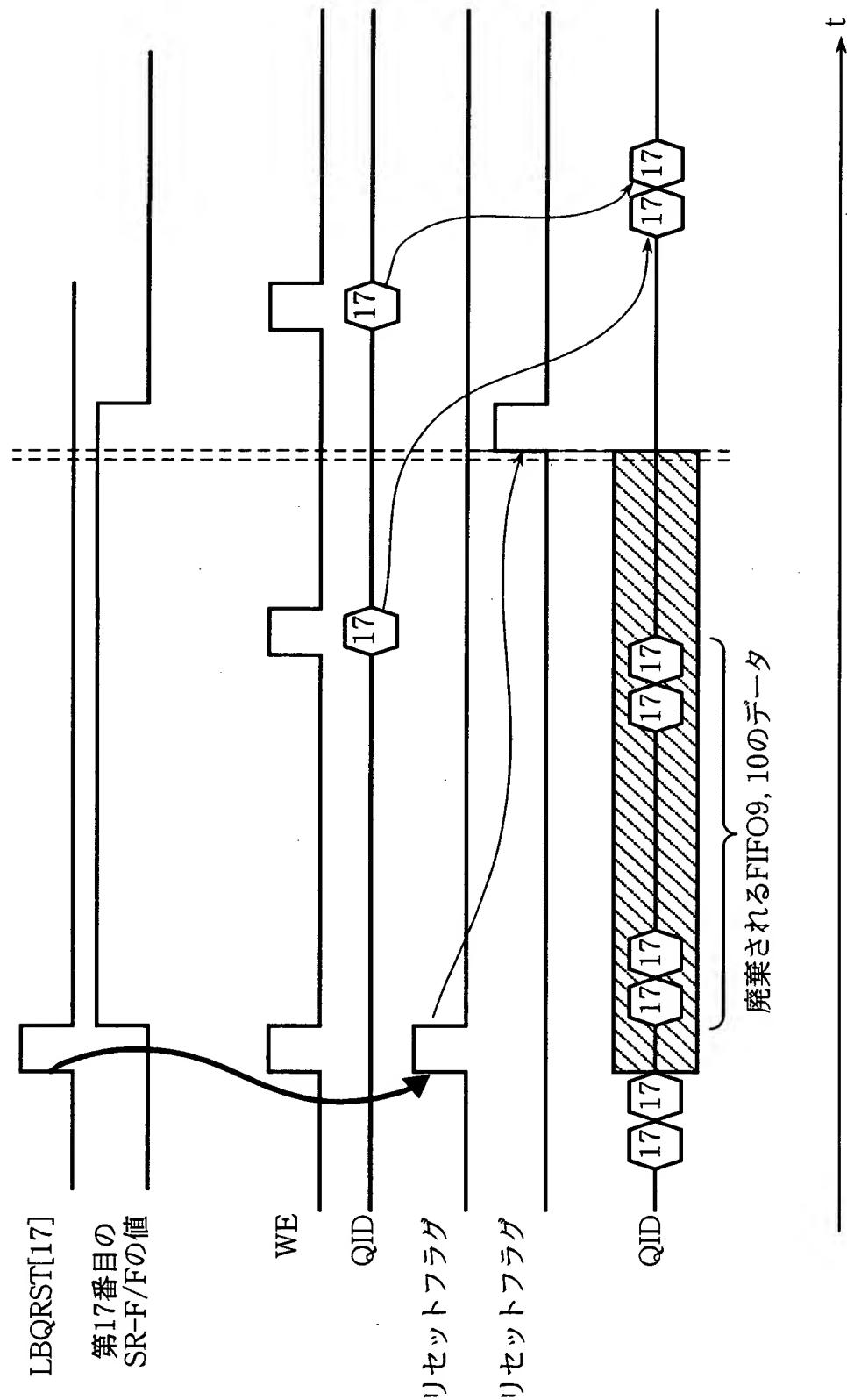
【図1】



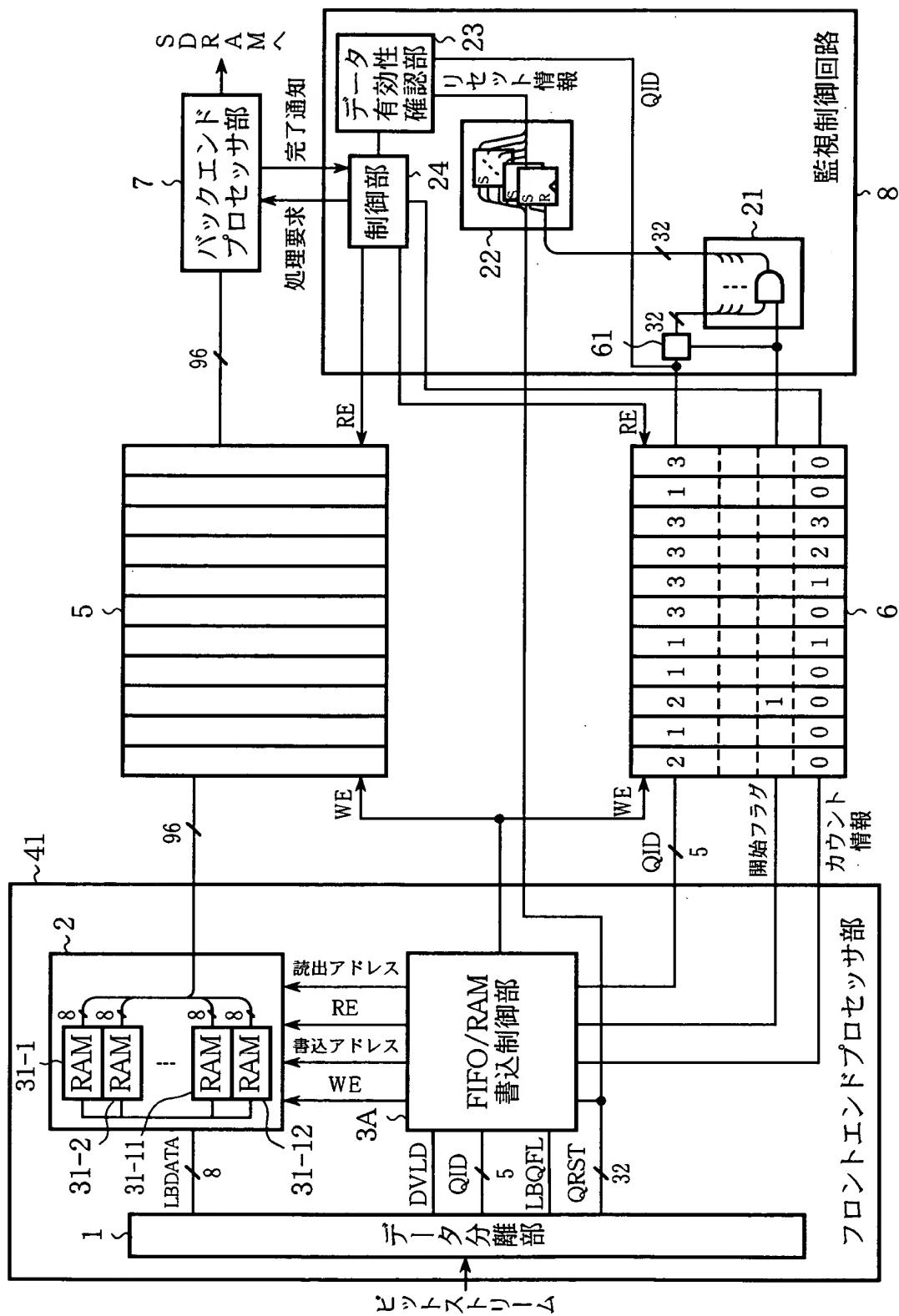
【図2】



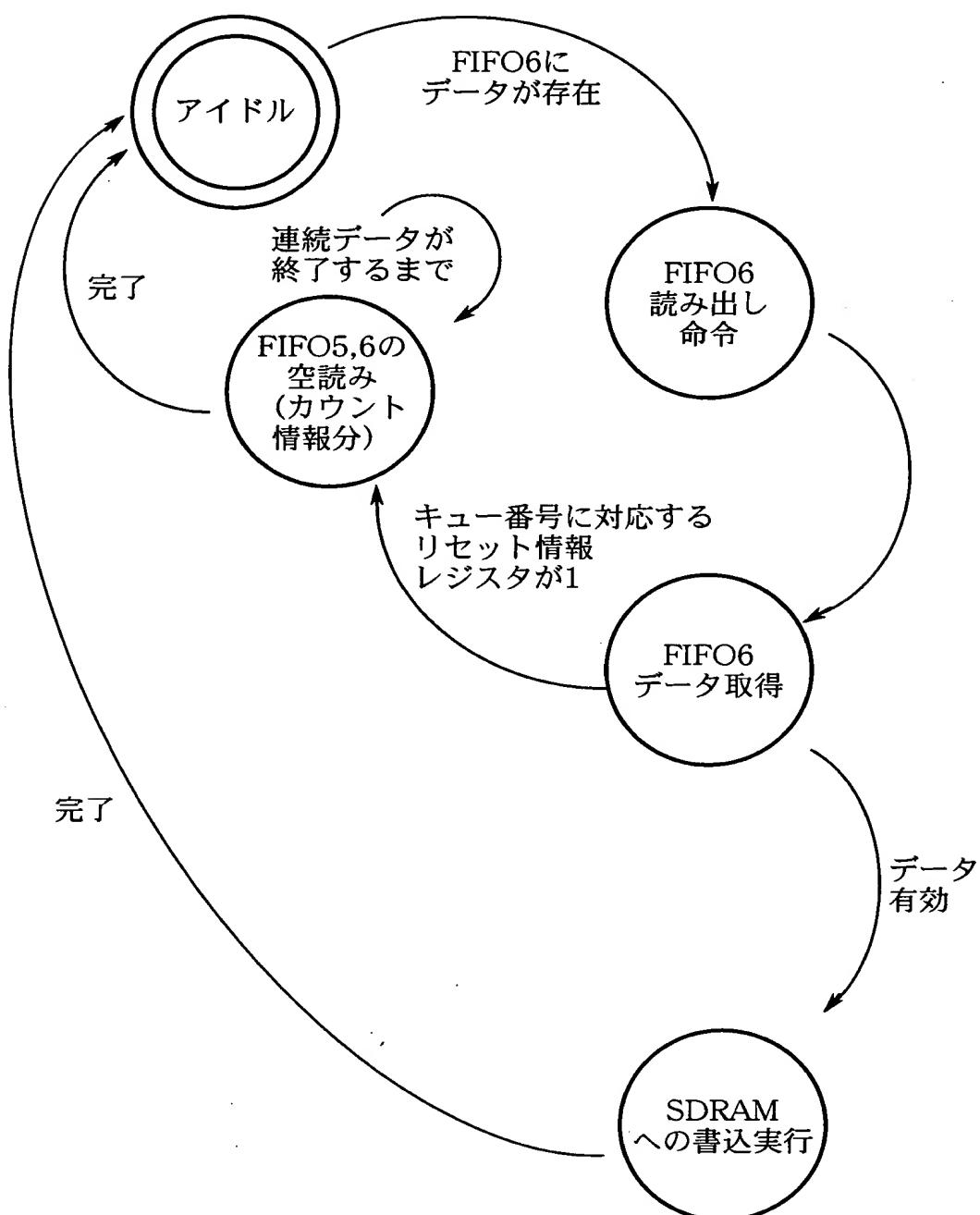
### 【図3】



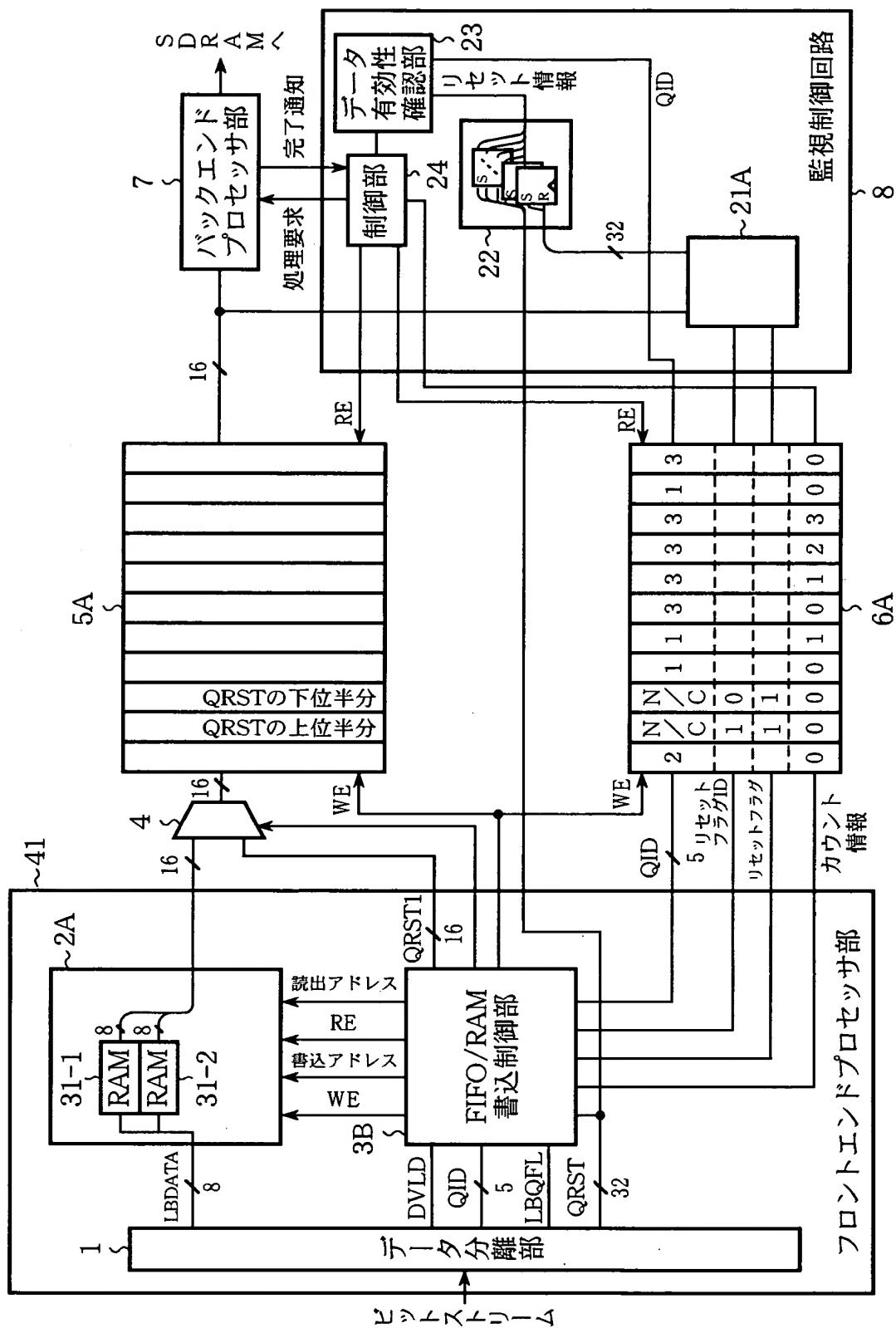
【図4】



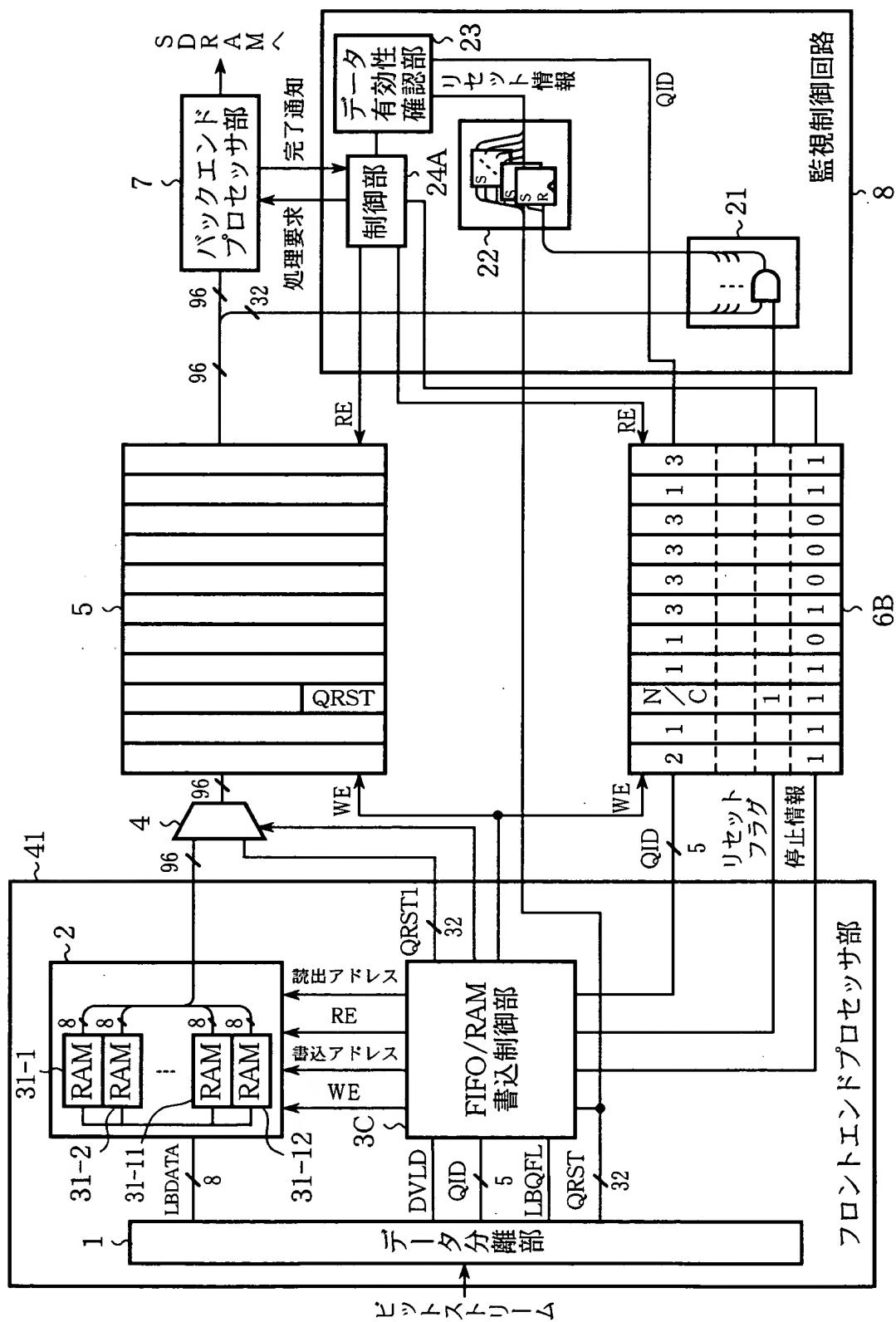
【図5】



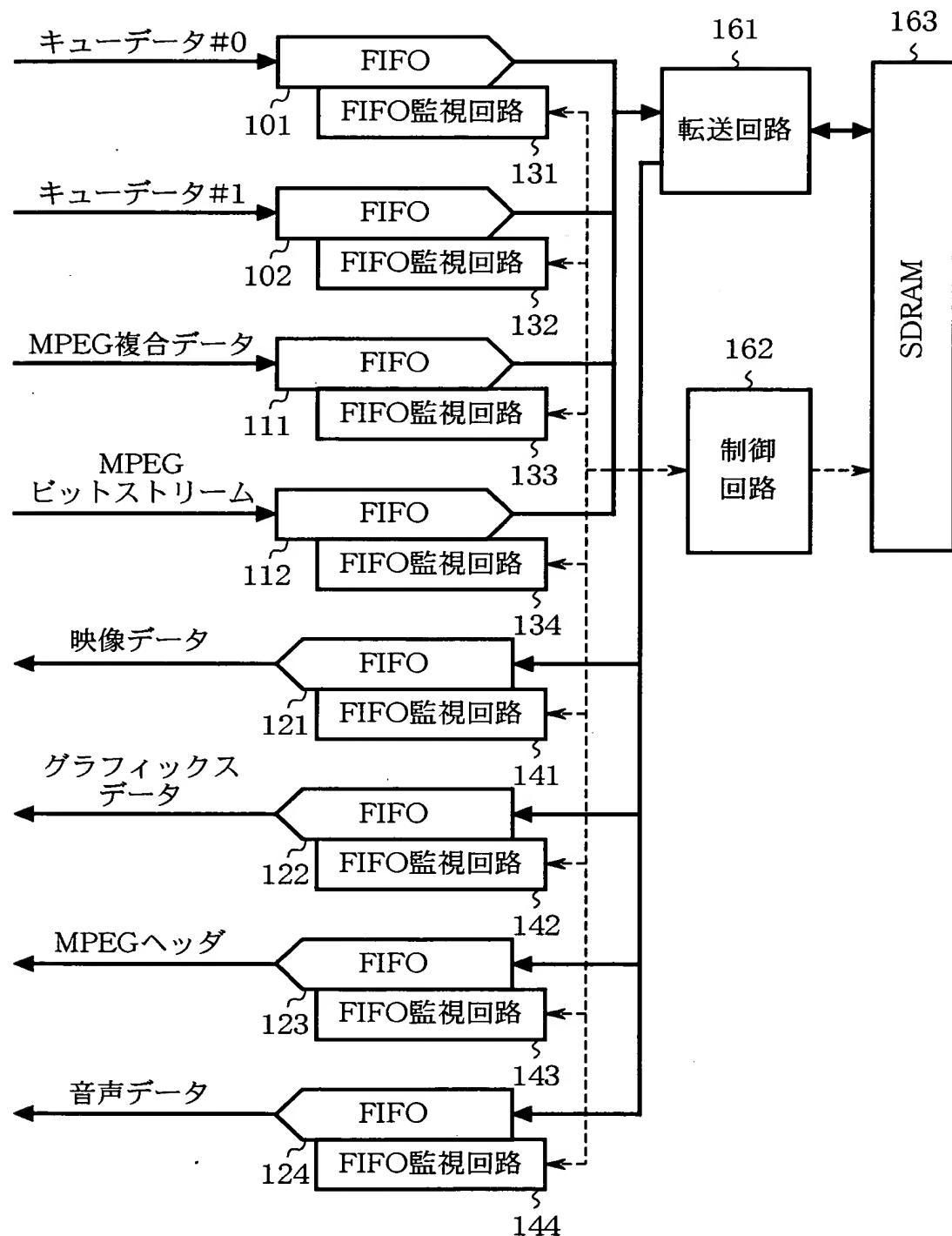
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 データの種類数だけ FIFO と FIFO 監視回路を設ける必要があり、データの種類が多くなった場合、回路規模が大きくなり、コストも増加するなどの課題があった。

【解決手段】 FIFO 5 が複数の種類のキューデータを順番に蓄積し、FIFO 6 が、FIFO 5 に記憶された各キューデータに対応してそのキューデータの種類および連続性の情報を記憶し、監視制御回路 8 が、FIFO 6 に記憶されたそれらの情報に基づいて同一種類の複数のキューデータを連続して FIFO 5 から読み出し、バックエンドプロセッサ部 7 が、そのキューデータを一括して出力して図示せぬメモリに書き込む。

【選択図】 図 1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社